

MANUFACTURE OF SEMICONDUCTOR MEMORY

Patent number: JP9219499
Publication date: 1997-08-19
Inventor: UMEBAYASHI HIROSHI
Applicant: SONY CORP
Classification:
- international: H01L27/108; H01L21/8242
- european:
Application number: JP19960048380 19960209
Priority number(s):

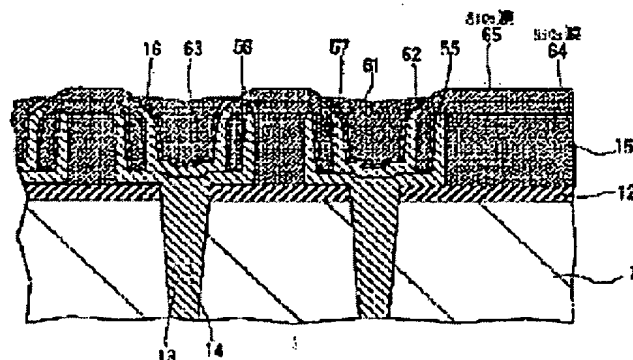
Also published as:

 JP9219499 (

Abstract of JP9219499

PROBLEM TO BE SOLVED: To manufacture a semiconductor memory which has high withstand voltage of a capacitor insulating film and high reliability and makes it possible to increase the capacity.

SOLUTION: The sidewall spacer formed of an SiO₂ film 57 and an SiN film 56 is formed at the inside of a polycrystal Si film 55, and the inside of a polycrystal Si film 61 is covered with an SiN film 62. The SiN films 56, 62 are formed of oxidation resistant films, the films 55, 61 out of the recess 16 are formed of SiO₂ films 64, 65, and the films 64, 65 and 56, 62 are removed by wet etching. As a result, a cylindrical storage node electrode formed of the smooth films 55, 61 exposed completely is formed.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 2 1 9 4 9 9

(43) 公開日 平成9年(1997)8月19日

(51) Int. Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/108
21/8242H 0 1 L 27/10 6 2 1 C
6 8 1 D
6 8 1 F

審査請求 未請求 請求項の数 2

F D

(全 7 頁)

(21) 出願番号 特願平8-48380

(22) 出願日 平成8年(1996)2月9日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 梅林 拓

東京都品川区北品川6丁目7番35号 ソニー
株式会社内

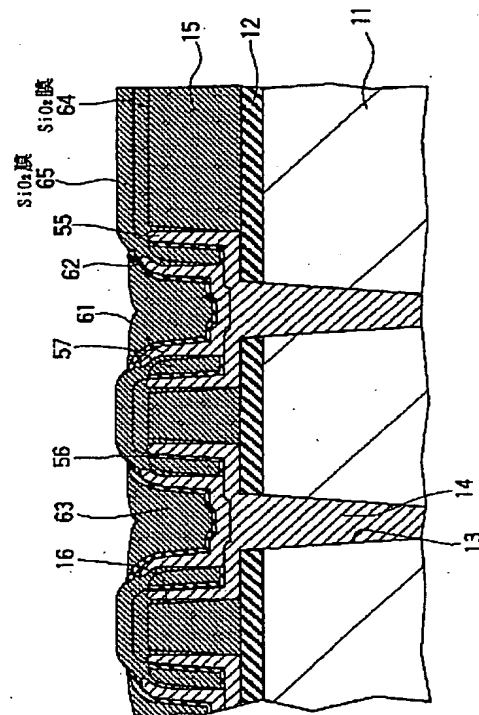
(74) 代理人 弁理士 土屋 勝

(54) 【発明の名称】 半導体記憶装置の製造方法

(57) 【要約】

【課題】 キャパシタ絶縁膜の絶縁耐圧が高く信頼性が高く、且つ、大容量化が可能な半導体記憶装置を製造する。

【解決手段】 SiO_2 膜 57 及び SiN 膜 56 から成る側壁スペーサを多結晶 Si 膜 55 の内側に形成し、 SiN 膜 62 で多結晶 Si 膜 61 の内側を覆う。そして、 SiN 膜 56、62 を耐酸化膜にして凹部 16 外の多結晶 Si 膜 55、61 を SiO_2 膜 64、65 にし、 SiO_2 膜 64、65 と SiN 膜 56、62 とをウェットエッチングで除去する。この結果、表面が滑らかで且つ完全に露出している多結晶 Si 膜 55、61 から成る筒状の記憶ノード電極が形成される。



【特許請求の範囲】

【請求項1】 キャパシタを用いてメモリセルが構成されており、前記キャパシタの記憶ノード電極がシリンダ型である半導体記憶装置の製造方法において、前記記憶ノード電極を形成すべき部分に凹部を有する第1の半導体酸化膜を形成する工程と、前記半導体酸化膜を形成した後に半導体膜を全面に形成する工程と、前記半導体膜のうちで前記凹部内の部分を耐酸化膜で覆う工程と、前記耐酸化膜をマスクにして前記半導体膜を酸化して、この半導体膜のうちで前記凹部外の部分を第2の半導体酸化膜にする工程と、前記第1及び第2の半導体酸化膜並びに前記耐酸化膜をウエットエッチングで除去する工程とを具備することを特徴とする半導体記憶装置の製造方法。

【請求項2】 前記凹部内の前記半導体膜の内周面に、第3の半導体酸化膜と前記耐酸化膜とから成る側壁スペーサを形成する工程と、前記側壁スペーサを介して複数層の前記半導体膜を形成する工程と、前記第3の半導体酸化膜を前記ウエットエッチングによって除去する工程とを具備することを特徴とする請求項1記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願の発明は、DRAMと称されており且つシリンダ型の記憶ノード電極を有している半導体記憶装置の製造方法に関するものである。

【0002】

【従来の技術】図8、9は、メモリセルを構成するキャパシタが二重シリンダ型の記憶ノード電極を有しているDRAMの製造方法の一従来例のうちで記憶ノード電極の形成方法を示している。この一従来例では、図8に示す様に、層間絶縁膜等の下地11上にSiN膜12を堆積させ、SiN膜12及び下地11に記憶ノード電極用のコンタクト孔13を開孔する。

【0003】その後、コンタクト孔13を多結晶Siプラグ14で埋め、SiO₂膜15を堆積させ、このSiO₂膜15のうちで記憶ノード電極を形成すべき部分を除去して凹部16を形成する。そして、不純物を含有する多結晶Si膜17とSiO₂膜21とを順次に全面に堆積させ、SiO₂膜21の全面をエッチバックして、このSiO₂膜21から成る側壁スペーサを凹部16の内周面に形成する。

【0004】その後、不純物を含有する多結晶Si膜22とSiO₂膜23とを順次に全面に堆積させ、SiO₂膜23の全面をエッチバックして、凹部16内の多結晶Si膜22の内側にのみSiO₂膜23を残す。

【0005】次に、SiO₂膜23をマスクにすると共

にSiO₂膜15、21をストップにして、多結晶Si膜22、17に対してRIEを行い、更に、SiN膜12をストップにして、SiO₂膜15、21、23を希弗酸でウエットエッチングする。この結果、図9に示す様に、多結晶Si膜17、22から成る二重シリンダ型の記憶ノード電極が形成される。

【0006】

【発明が解決しようとする課題】しかし、上述の一従来例では、異方性エッチングであるRIEを多結晶Si膜22、17に対して行っているため、図9に示した様に、堆積時に形成された多結晶Si膜22の表面の凹凸やRIE自体によって生じると考えられる多結晶Si膜22、17の表面の荒れが、多結晶Si膜17、22から成る二重シリンダ型の記憶ノード電極の先端部にそのまま転写されていた。

【0007】この様に記憶ノード電極の表面が荒れると、記憶ノード電極を覆うキャパシタ絶縁膜（図示せず）に電界集中が生じて、キャパシタ絶縁膜の薄膜化や絶縁耐圧の確保が困難になる。従って、上述の一従来例では、小さなメモリセル面積でも必要なメモリセル容量を確保して大容量のDRAMを製造したり信頼性の高いDRAMを製造したりすることが困難であった。

【0008】

【課題を解決するための手段】請求項1の半導体記憶装置の製造方法は、キャパシタを用いてメモリセルが構成されており、前記キャパシタの記憶ノード電極がシリンダ型である半導体記憶装置の製造方法において、前記記憶ノード電極を形成すべき部分に凹部を有する第1の半導体酸化膜を形成する工程と、前記半導体酸化膜を形成した後に半導体膜を全面に形成する工程と、前記半導体膜のうちで前記凹部内の部分を耐酸化膜で覆う工程と、前記耐酸化膜をマスクにして前記半導体膜を酸化して、この半導体膜のうちで前記凹部外の部分を第2の半導体酸化膜にする工程と、前記第1及び第2の半導体酸化膜並びに前記耐酸化膜をウエットエッチングで除去する工程とを具備することを特徴としている。

【0009】請求項2の半導体記憶装置の製造方法は、前記凹部内の前記半導体膜の内周面に、第3の半導体酸化膜と前記耐酸化膜とから成る側壁スペーサを形成する工程と、前記側壁スペーサを介して複数層の前記半導体膜を形成する工程と、前記第3の半導体酸化膜を前記ウエットエッチングによって除去する工程とを具備することを特徴としている。

【0010】請求項1の半導体記憶装置の製造方法では、耐酸化膜をマスクにした酸化で凹部外の半導体膜を半導体酸化膜にしており、半導体膜は等方的に且つ制御性良く酸化されるので、半導体膜の表面を荒らすことなく酸化が進行して、半導体酸化膜との界面の滑らかな半導体膜が残る。

【0011】しかも、半導体酸化膜及び耐酸化膜をウエ

ットエッチングによって除去しており、ウェットエッチングでは、半導体膜と半導体酸化膜及び耐酸化膜とのエッチング選択比を大きくすることができ、且つ、狭い間隙部分に対してもエッチングを行うことができるので、半導体酸化膜及び耐酸化膜を確実に除去することができる。

【0012】このため、記憶ノード電極を形成すべき部分に形成した凹部の形状に対応して、表面が滑らかで且つ完全に露出している半導体膜から成るシリンダ型の記憶ノード電極を形成することができる。

【0013】請求項2の半導体記憶装置の製造方法では、半導体酸化膜と耐酸化膜とから成る側壁スペーサを介して複数層の半導体膜を形成しているので、記憶ノード電極を形成すべき部分に形成した凹部の形状に対応して、表面が滑らかで且つ完全に露出している半導体膜から成る多重シリンダ型の記憶ノード電極を形成することができる。

【0014】

【発明の実施の形態】以下、メモリセルを構成するキャパシタが二重シリンダ型の記憶ノード電極を有しているDRAMの製造に適用した本願の発明の一実施形態を、図1～7を参照しながら説明する。但し、図1～6は、記憶ノード電極の形成方法のみを示しており、図7が、メモリセルの全体及び周辺回路の一部を示している。

【0015】本実施形態では、図7に示す様に、Si基板31の表面にSiO₂膜32をLOCOS法で形成して素子分離領域を決定し、このSiO₂膜32に囲まれている素子活性領域の表面にゲート酸化膜としてのSiO₂膜33を熱酸化で形成する。

【0016】その後、タングステンポリサイド層34とSiO₂膜35とを順次に堆積させ、これらのSiO₂膜35とタングステンポリサイド層34とを、メモリセルアレイ部36のワード線及び周辺回路部37のゲート電極のパターンに加工する。なお、メモリセルアレイ部36のワード線も、メモリセルを構成するトランジスタのゲート電極になる。

【0017】そして、SiO₂膜35、32等をマスクにしてSi基板31に不純物をイオン注入して、ソース／ドレインとしての拡散層38を有するトランジスタ41を製作した後、SiO₂膜42を全面に堆積させる。

【0018】その後、SiO₂膜42の全面をエッチバックして、タングステンポリサイド層34及びSiO₂膜35の側面にSiO₂膜42から成る側壁スペーサを形成すると共に、メモリセルアレイ部36では拡散層38に達するコンタクト孔43をタングステンポリサイド層34に対して自己整合的に開孔する。

【0019】その後、コンタクト孔43を多結晶Siプラグ44で埋め、不純物を含有する多結晶Si膜45を全面に堆積させた後、多結晶Siプラグ44上にのみ多結晶Si膜45を残すパターンニングを行う。そして、平

坦な層間絶縁膜46を形成し、ビット線用のコンタクト孔47を層間絶縁膜46に開孔する。

【0020】その後、タングステンポリサイド層51及びSiO₂膜52を順次に堆積させ、コンタクト孔47を介して多結晶Si膜45に接続するビット線のパターンに、SiO₂膜52とタングステンポリサイド層51とを加工する。そして、SiO₂膜53を全面に堆積させ、このSiO₂膜53の全面をエッチバックして、タングステンポリサイド層51及びSiO₂膜52の側面にSiO₂膜53から成る側壁スペーサを形成する。

【0021】その後、平坦な層間絶縁膜54を形成し、図1に示す様に、層間絶縁膜54上にSiN膜12を堆積させる。そして、層間絶縁膜54等の下地11に記憶ノード電極用のコンタクト孔13を開孔し、コンタクト孔13を多結晶Siプラグ14で埋める。

【0022】その後、SiO₂膜15を堆積させ、このSiO₂膜15のうちで記憶ノード電極を形成すべき部分をRIEで除去して凹部16を形成する。SiO₂膜15の膜厚は必要なメモリセル容量から決定されるが、300～700nm程度である。

【0023】そして、膜厚が50～100nm程度で不純物を含有する多結晶Si膜55を減圧CVD法で堆積させ、膜厚が10nm以下のSiN膜56を多結晶Si膜55上に堆積させ、更に、TEOSを原料にした減圧CVD法で膜厚が50～100nm程度のSiO₂膜57をSiN膜56上に堆積させる。

【0024】次に、SiO₂膜57及びSiN膜56の全面をエッチバックして、図2に示す様に、凹部16内の多結晶Si膜55の内周面に、SiO₂膜57及びSiN膜56から成る側壁スペーサを形成する。この際、凹部16外の多結晶Si膜55上にSiN膜56を残さない様に、このSiN膜56を確実に除去する。その後、多結晶Si膜55及びSiN膜56と同様の多結晶Si膜61及びSiN膜62を順次に堆積させ、更に、SiO₂膜63を堆積させる。

【0025】次に、SiO₂膜63及びSiN膜62の全面をエッチバックして、図3に示す様に、凹部16内の多結晶Si膜61の内側にのみSiO₂膜63及びSiN膜62を残す。この際も、凹部16外の多結晶Si膜61上にSiN膜62を残さない様に、このSiN膜62を確実に除去する。

【0026】次に、パイロジェニック酸化によって、図4に示す様に、多結晶Si膜55、61の一部ずつを夫々SiO₂膜64、65に変化させる。この際、多結晶Si膜55、61のうちでSiN膜56、62に接している部分は、SiN膜56、62の耐酸化性のために殆ど酸化されず、SiN膜56、62に接していなくても凹部16内の部分は、凹部16外の部分が酸化されるまで酸化されない。

【0027】なお、Siは等方的に且つ制御性良く酸化

されるので、多結晶Si膜55、61の表面を荒らすことなく酸化が進行して、SiO₂膜64、65との界面が滑らかな多結晶Si膜55、61が残る。また、既に製作されているトランジスタ41と多結晶Si膜55、61等との間には、耐酸化性を有するSiN膜12が形成されているので、SiO₂膜64、65を形成するためのパイロジェニック酸化がトランジスタ41に影響を与えることはない。

【0028】但し、拡散層38の再拡散を抑制するためには低温且つ短時間のパイロジェニック酸化を行う必要があるが、低温でも酸化速度の速い条件を選択することによって、850℃、30分間程度のパイロジェニック酸化でも十分にSiO₂膜64、65を形成することができる。

【0029】次に、希弗酸によるウエットエッチングによって、図5に示す様に、SiO₂膜57、63、64、65を除去し、更に、160～180℃程度の熱リン酸によるウエットエッチングによって、図6に示す様に、SiN膜56、62を除去する。

【0030】これによって、表面が滑らかで且つ完全に露出している多結晶Si膜55、61から成る二重シリンドラ型の記憶ノード電極が形成される。なお、SiN膜12の膜厚がSiN膜56、62の膜厚よりも遙に厚いので、熱リン酸によるウエットエッチングによってSiN膜12が消失することはない。

【0031】次に、再び図7に示す様に、キャパシタ絶縁膜としてのONO膜66と不純物を含有する多結晶Si膜67とを順次に形成し、多結晶Si膜67、ONO膜66及びSiN膜12をプレート電極のパターンに加工して、キャパシタ71を製作する。

【0032】その後、平坦な層間絶縁膜72を形成し、周辺回路部37の拡散層38に達するコンタクト孔73を層間絶縁膜72、54、46に開孔する。そして、バリアメタル膜74とブランケットCVD法で形成したタングステンプラグ75とでコンタクト孔73を埋める。

【0033】その後、バリアメタル膜76と第1層目のAl膜77とを順次に形成し、これらのAl膜77とバリアメタル膜76とを配線のパターンに加工する。そして、更に、第2層目以降のAl膜（図示せず）や表面保護膜等を形成して、このDRAMを完成させる。

【0034】なお、以上の実施形態で製造したDRAMでは、メモリセルを構成するキャパシタ71が二重シリンドラ型の記憶ノード電極を有しているが、記憶ノード電

極が二重シリンドラ型である必要はなく、単一シリンドラ型や三重以上のシリンドラ型の記憶ノード電極であってもよい。

【0035】

【発明の効果】請求項1の半導体記憶装置の製造方法では、表面が滑らかで且つ完全に露出している半導体膜から成るシリンドラ型の記憶ノード電極を形成することができるので、キャパシタ絶縁膜における局所的な電界集中を防止することができ、且つ、広い電荷蓄積面積を得ることができると共にキャパシタ絶縁膜を薄膜化することができる。

【0036】このため、キャパシタ絶縁膜の絶縁耐圧が高く信頼性が高く、且つ、必要なメモリセル容量を得るためのメモリセル面積が小さくて大容量化が可能な半導体記憶装置を製造することができる。

【0037】請求項2の半導体記憶装置の製造方法では、表面が滑らかで且つ完全に露出している半導体膜から成る多重シリンドラ型の記憶ノード電極を形成することができるので、更に大容量化が可能な半導体記憶装置を製造することができる。

【図面の簡単な説明】

【図1】本願の発明の一実施形態のうちで記憶ノード電極を形成するための最初の工程を示す側断面図である。

【図2】図1に続く工程を示す側断面図である。

【図3】図2に続く工程を示す側断面図である。

【図4】図3に続く工程を示す側断面図である。

【図5】図4に続く工程を示す側断面図である。

【図6】図5に続く工程を示す側断面図である。

【図7】一実施形態で製造したDRAMの側断面図である。

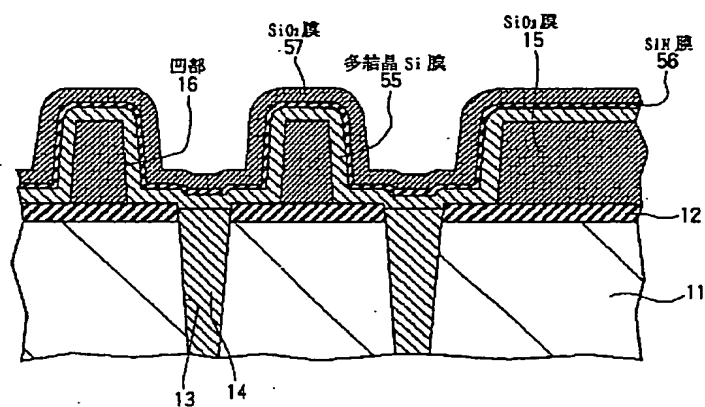
【図8】本願の発明の一従来例のうちで記憶ノード電極を形成するための最初の工程を示す側断面図である。

【図9】図8に続く工程を示す側断面図である。

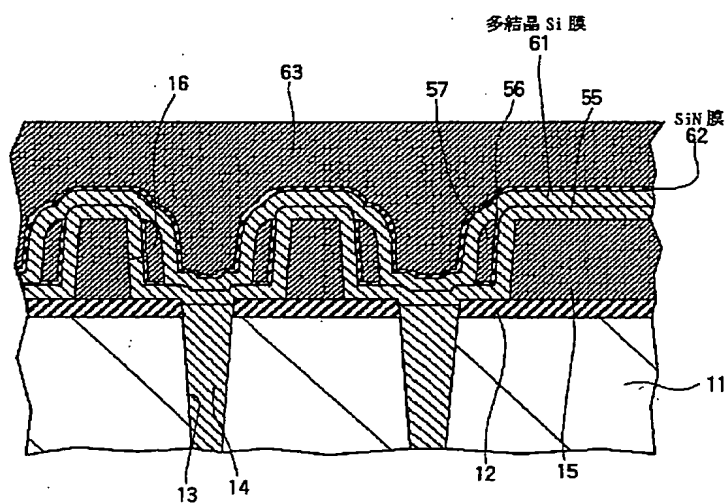
【符号の説明】

- 15 SiO₂膜
- 16 凹部
- 55 多結晶Si膜
- 56 SiN膜
- 57 SiO₂膜
- 61 多結晶Si膜
- 62 SiN膜
- 64 SiO₂膜
- 65 SiO₂膜
- 71 キャパシタ

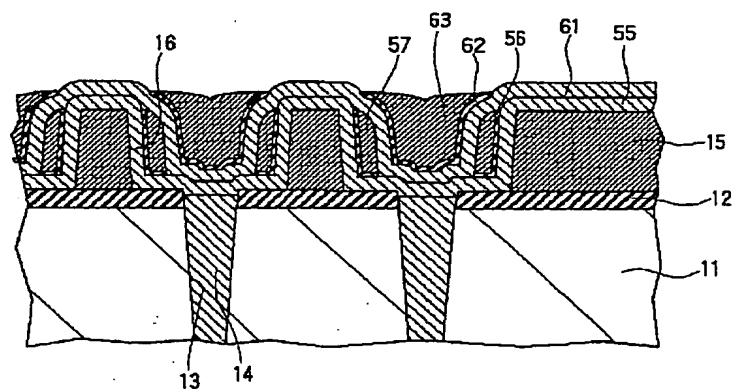
【図 1】



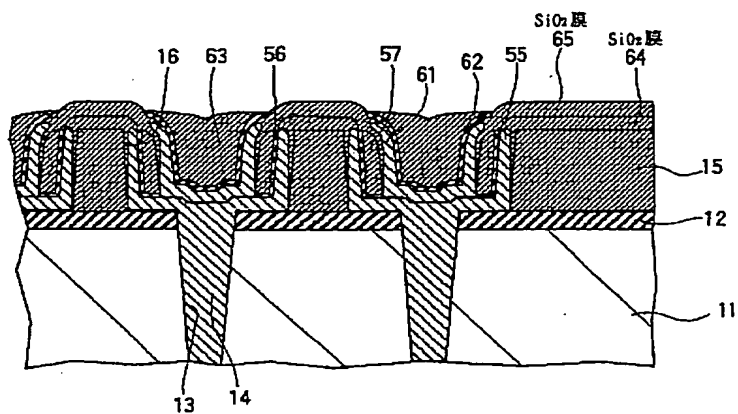
【図 2】



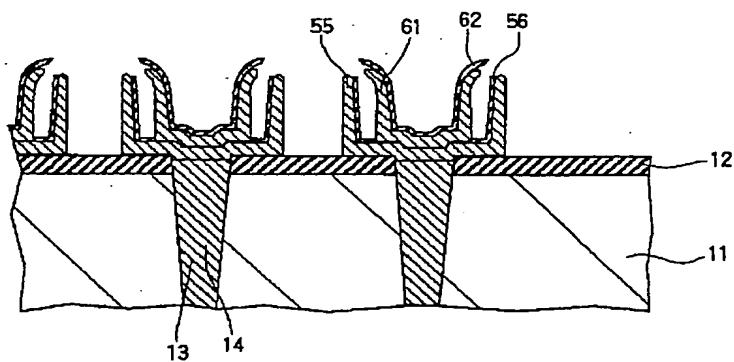
【図 3】



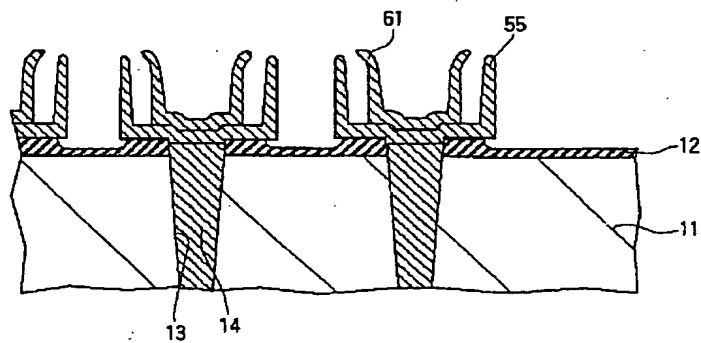
【図 4】



【図 5】



【図 6】



A cross-sectional view of a multi-layered structure. The base is a thick, white layer (11). On top of this is a layer of rectangular pillars (13, 14) with diagonal hatching. Above the pillars is a thin, dark layer (12). On top of this is a layer of rectangular blocks (15) with a stippled pattern. The blocks are connected by a network of lines (16, 17) that form a grid-like structure. The top surface of the blocks is labeled 21, and the top surface of the connecting lines is labeled 22. The entire structure is labeled 23.

A cross-sectional view of a semiconductor device. It features a substrate 11 with a thin layer 12 on top. A patterned layer 13 is formed on the surface of layer 12. Vertical structures 14, 17, and 22 are shown on the surface of the device.